

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 1999 European Patent Office. All rts. reserv.

9115005

Basic Patent (No,Kind,Date): JP 2016596 A2 900119 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): KITAJIMA MASAACKI; OWADA JUNICHI

IPC: \*G09G-003/36; G02F-001/133

JAPIO Reference No: 140160P000087

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 2016596	A2	900119	JP 88165860	A	880705 (BASIC)
------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 88165860	A	880705
-------------	---	--------

DIALOG(R)File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

03041096 \*\*Image available\*\*  
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 02-016596 [JP 2016596 A]  
PUBLISHED: January 19, 1990 (19900119)  
INVENTOR(s): KITAJIMA MASAOKI  
OWADA JUNICHI  
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),  
JP (Japan)  
APPL. NO.: 63-165860 [JP 88165860]  
FILED: July 05, 1988 (19880705)  
INTL CLASS: [5] G09G-003/36; G02F-001/133; G02F-001/133  
JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)  
JAPIO KEYWORD:R011 (LIQUID CRYSTALS)  
JOURNAL: Section: P, Section No. 1028, Vol. 14, No. 160, Pg. 87, March  
28, 1990 (19900328)

#### ABSTRACT

PURPOSE: To make a half-tone display without making a signal circuit complex by generating an effective voltage required for half-tones by voltage amplitude modulation wherein the amplitude of a signal voltage is varied in a period of plural frames and time modulation wherein the on time of signal data is varied.

CONSTITUTION: This device consists of a display part 1 where a thin film transistor(TFT) 3 and liquid crystal 2 are laminated, a signal circuit 6 which generates a signal voltage  $V_d$ , a scanning circuit 7 which generates a scanning signal  $V_g$ , a frame memory 8 for storing half-tone image data, a data modulating circuit 9 which imposes amplitude and time modulation upon the half-tone image data inputted from outside the device according to the half-tones and outputs the result, and a control circuit 10 which controls the whole device. An external system 11 composed of a microcomputer, etc., is connected to the device. Consequently, a signal circuit can be composed of a digital circuit and simplified.

1876

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-16596

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月19日

G 09 G 3/36  
G 02 F 1/133

5 5 0  
5 7 5

8621-5C  
8708-2H  
8708-2H

審査請求 未請求 請求項の数 4 (全11頁)

⑮ 発明の名称 液晶ディスプレイ装置

⑯ 特 願 昭63-165860

⑰ 出 願 昭63(1988)7月5日

⑱ 発 明 者 北 島 雅 明 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 大 和 田 淳 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 秋本 正実

明 細 書

1. 発明の名称

液晶ディスプレイ装置

2. 特許請求の範囲

1. 液晶の発光素子を用いた発光回路を画面上の各素子対応に設けたディスプレイ部と、入力信号の各画素対応の値を予め定めた値数個の階調のどれに該当するかを検出して該当する階調を表すところの値数の部分コードから成るコードに変換する変換手段と、上記部分コードの値数に等しい値数だけ設けられ、その各々が1フレーム分の画素に対応するコードの内の同一部分コードを格納するところのフレームメモリと、該フレームメモリの各々のデータをラスタ走査により1ラインづつ順次読みだして保持するラッチと、該ラッチに保持された各部分コードと別に与えられた2値の交流化信号の値に対応した振幅および時間幅を有するパルス状の信号電圧を生成するための信号発生手段と、上記ディスプレイ部の発光回路をラスタ走査する走査手

段と、該手段により走査された発光回路へ上記信号発生手段からの信号電圧が印加されるよう制御する機能を有したコントロール手段とを設けるとともに、上記交流化信号は、上記フレームメモリの1つが読みだされている間は第1の値をとり、続いて同じフレームメモリが読みだされるときは第2の値をとる信号であって、上記信号電圧は、任意の部分コードに対して、上記交流化信号が上記第1の値をとったときと第2の値をとったときとで逆極性となって、その双方のときの平均値が零となる信号であることを特徴とする液晶ディスプレイ装置。

2. 前記フレームメモリの各々はラスタ走査により2回づつ続けて読みだされ、その第1回目および第2回目の読みだし時の前記交流化信号の値を前記第1および第2の値とすることを特徴とする請求項1記載の液晶ディスプレイ装置。

3. 前記部分コードをnビットとし、前記信号電圧発生手段は、予め定めた2n個の電圧を上記部分コードに応じて取り出し、かつその極性を

前記交流化信号の値に応じて定めた電圧を前記信号電圧として出力することと特徴とする請求項1記載の液晶ディスプレイ装置。

4. 前記発光回路がカラー表示のためにR、G、B各色対応の画素を有している場合に、前記コード、部分コード、およびフレームメモリの各々を各色対応に設け、各色ごとに順次前記ラッチによる対応フレームメモリの読みだし、前記信号電圧発生手段による各色の階調表示のための信号電圧の発生、および前記走査手段による各色対応の画素の走査を行うことを特徴とする請求項1記載の液晶ディスプレイ装置。

#### J. 発明の詳細な説明

##### (産業上の利用分野)

本発明は、液晶ディスプレイ装置に係わり、特に中間調表示を行うのに適した液晶ディスプレイ装置に関する。

##### (従来の技術)

薄膜トランジスタを介して液晶を駆動するようにした液晶アクティブマトリクスディスプレイ

示が行われる。

以上の従来の装置は2値画像の表示を行うものであるが、中間調も表示するものとするには、各中間調の明るさに応じて複数の電圧レベルを信号回路から与える必要がある。

##### (発明が解決しようとする課題)

中間調表示のため、複数の電圧レベルを信号電圧として発生しようとする、従来の構成ではアナログ型の切り換え回路を必要とするから、信号回路の構成が複雑になり、回路の小型化、低価格化が困難になる。また、信号回路と表示部とを一体化したパネルを構成した場合、回路の信頼性、歩留まりに問題がある。

本発明の目的は、信号回路を複雑化することなく、中間調表示が行えるようにした液晶ディスプレイ装置を提供するにある。

##### (課題を解決するための手段)

上記の目的は、液晶の明るさが、電圧の瞬時値ではなく、実効電圧に依存することに着目し、信号電圧の振幅を複数フレームの期間で可変する電

圧の従来の装置は、特開昭61-12929に示されているように、第24図の構成を持っている。信号回路は、シフトレジスタ103、ラッチ回路104、2値切替型スイッチ群105で構成されている。このうち、2値切替型スイッチ群105の各スイッチは2つの接点を持ち、電圧Vdまたは接地電位の何れかを、シフトレジスタ103を介してラッチ回路104にセットされたデータ値に応じて選択し、信号電圧として出力する。この信号電圧は、薄膜トランジスタ107のドレインに印加される。

一方、走査回路もシフトレジスタ100、ラッチ回路101、およびスイッチ群102から成っており、スイッチ群からはラッチ回路101のデータに応じて電圧V+、V-のいずれかが走査電圧として薄膜トランジスタのゲートに印加される。この走査電圧は、画素の1ライン(横方向の液晶の1つの並び)ごとに順次印加される。液晶108は、走査電圧によって薄膜トランジスタ107がオンしたときに信号電圧のレベルに応じた明るさで発光し、1ラインごとに発光して液晶パネル106への画像表

示が行われる。時間変調と、信号データのオン時間を可変する時間変調とにより中間調に必要な実効電圧を発生することにより達成される。

##### (作用)

同一画素に対して、時間変調された表示信号を発生して信号回路に入力し、さらに信号回路は、表示信号に基づいた電圧を発生する。これによって、画素には表示信号の示す中間調に見合った実効電圧が印加される。そして、信号電圧の時間変調および振幅変調を行う信号回路は簡単であり、複雑化することはない。

##### (実施例)

本発明による液晶ディスプレイ装置の実施例を第1図に示す。装置は、薄膜トランジスタ3と液晶2とを積層したディスプレイ部1、信号電圧Vdを発生する信号回路6、走査信号Vsを発生する走査回路7、中間調の画像データを記憶するフレームメモリ8、装置外から入力される中間調の画像データを、その中間調に応じて振幅・時間変調して出力するデータ変調回路9、装置全体を

制御するコントロール回路10で構成されている。この装置にマイクロコンピュータ等で構成された外部システム11が接続される。

第2図は、液晶2の電気光学特性を示したものである。中間調表示を実現するために、両図のように明るさBを $B_0 \sim B_7$ と等間隔に設定して中間調表示を行うには、印加電圧 $V_{lc}$ (実効電圧)を $V_0 \sim V_7$ のように設定すればよい。ここで印加電圧というのは、液晶2に加わる電圧である。

第3図は、ディスプレイ部1の駆動法を示すもので、簡単のため $3 \times 3$ マトリクスパネルの液晶 $P_1 \sim P_9$ を駆動する時の構成を示したものである。この構成で液晶 $P_1, P_3, P_5, P_7, P_9$ をオン状態にし、他の液晶をオフ状態にする場合の、走査電圧 $V_{g1} \sim V_{g3}$ および信号電圧 $V_{d1} \sim V_{d3}$ のタイムチャートを第4図に示す。第4図に示したように、走査電圧 $V_{g1} \sim V_{g3}$ は、順次に高電圧 $V_{sh}$ とされて、薄膜トランジスタ3を1ラインごとにオン状態にする(第3図の構成では、1フレームは3ラインから成っている)。一方、信号電

圧 $V_{d1} \sim V_{d3}$ は、液晶がオン状態で $V_c \pm V_{sig}$ 、オフ状態で $V_c$ になるようにする。この結果、例えば液晶 $P_1$ には、 $V_c + V_{sig}$ または $V_c - V_{sig}$ の電圧が薄膜トランジスタ2を介して印加されてオン状態となり、液晶 $P_4$ には、薄膜トランジスタ2を介して $V_c$ の電圧が印加されてオフ状態となる。このように、液晶をオン状態にするには、1フレームごとに極性を反転した電圧を薄膜トランジスタ2を介して液晶に印加し、液晶をオフ状態にするには、フレームに係わらず一定の電圧を印加するように、信号電圧 $V_d$ と走査電圧 $V_g$ とを決めればよい。

第5図は第4図の各電圧波形の詳細を、液晶 $P_3$ を駆動するための操作電圧 $V_{g1}$ および信号電圧 $V_{d3}$ を例として示したものである。薄膜トランジスタ3のソース電圧 $V_{s3}$ と、液晶2の反対側の電圧 $V_c$ との電位差と、液晶をオンにしている時間幅とが実効電圧を与える。

以上の第4図の例では、2フレームを1単位として信号電圧 $V_d$ の平均値が零となる信号波形と

した。この平均値を零とするのは、液晶2に直流電圧が印加されつづけるとその特性が急速に劣化するためであるが、これは何も2フレームごとでなくてもよい。例えば第6図のように、4フレームを1単位とし、第1フレームから順に電圧 $V_d - V_c$ を $V_1, V_2, -V_1, -V_2$ となるようにしてもよい。

さらに、以上の第4図～第6図の駆動法の例では、2フレームまたは4フレームを1単位として直流分をなくすとともに、その時間幅と振幅を変えうるものとしたが、同一振幅を有する信号電圧 $V_d$ を上記単位で $n$ ( $n \geq 1$ )単位分繰り返してこれを1サイクルとし、次のサイクルでは別の振幅および時間幅のものを印加する、という方法もある。

次に、以上で述べた本発明における液晶駆動方法を用いて、中間調表示を行うための信号電圧の具体例を示す。第7図(a)(b)はともに、ドレイン電圧( $= V_d - V_c$ )の振幅 $V_{sig}$ を $V_1$ および0の2つのレベルとし、1サイクル4フレーム( $n =$

2)で3つの階調を表している。階調1は、第1、第3フレームの振幅が $V_1$ 、第2、第4フレームが $-V_1$ である。階調2は第1、第2フレームの振幅がそれぞれ $V_1, -V_1$ で後半の第3、第4フレームの振幅は0である。階調3は全フレームで振幅が0である。第7図(a)と(b)は以上まで同じであるが、各フレーム内のドレイン電圧の印加時間幅がそれぞれ $T_a, T_b$ でこの値が異なる。コードの時間幅を種々変えても別の階調を表せる。

第8図は、1サイクルを6フレーム( $n = 3$ )として4つの階調を表した例で、各フレーム内の波形は第7図(a)の場合と同じである。このように、2レベルでも、1サイクル内のフレーム数を増やせば多くの階調が表せ、また信号の時間幅を可変とするとさらに階調が得られる。

つぎにドレイン電圧のレベルを3、1サイクルの分割数 $n = 2$ にしたときのドレイン電圧波形図を第9図に示す。振幅は $V_c \pm V_1, V_c \pm V_2$ 、および $V_c$ のいずれかであり、階調1～6の波形が得られる。

第10図は、レベル数を4、1サイクルを4フレーム( $n=2$ )にしたときのドレイン電圧波形例を示したものであり、階調1~9の9種類の波形がえられる。このようにレベル数をふやし、またここでは例示しなかったが、1サイクルの長さや信号の時間幅を可変とすれば、より多くの階調を表示できる。

なお、液晶画面には、信号電圧が激しく変化するとフリッカが現われる。このフリッカを低減するためには、例えば第11図に示すように、信号電圧 $V_d$ の両性反転を3フレームごとに行うようにすればよい。

以上第7図~第11図により、本発明の装置における中間調表示のための信号電圧の例を示してきたが、これを具現するための、液晶ディスプレイ装置のより具体的な構成例を以下に説明する。第12図は第8図に示した中間調表示を行うための液晶ディスプレイ装置の全体構成を示すもので、ディスプレイ部1、電圧選択回路21、ラインメモリ12、ラッチ回路13、データ選択スイッチ15、19、

フレームメモリ16、17、18、データ変換回路9、コントロール回路20、走査回路14で構成されている。

ラッチ回路13は、表示信号DATAをクロック信号CK1に同期してとりこみ、並列信号に変換し、ラインメモリ12は、1ラインの表示信号をその表示期間だけ保持する。電圧選択回路21は、表示信号 $S_1 \sim S_M$ と交流化信号ALに応じて $V_c + V_1$ 、 $V_c - V_1$ および $V_c$ の電圧(第8図の $V_d$ のとる3つの値)の何れかを選擇して出力する。即ち第13図に示すように、信号Siと交流化信号ALの“0”、“1”に応じて、図のように3つの電圧 $V_c \pm V_1$ 、 $V_c$ の1つを出力する。

走査回路14の動作を第14図に示す。フレームスタート信号FSTを同期信号とし、さらにラインスタート信号LSTをクロック信号として動作する。これにより、走査電圧 $V_{g1} \sim V_{gn}$ が発生する。

第15図は、フレームメモリ16~18に記憶されている画像データ信号の読み出し方法を示したもので、この動作は第8図の駆動法が6フレームを1

サイクルとしているのに対応している。即ちコントロール回路20からのアドレス信号ADRによって、フレームメモリ16~18内の画像データ信号が読みだされるが、データ選択スイッチ15は、フレーム1、2の期間でフレームメモリ16を選択し、フレーム3、4の期間でフレームメモリ17を選択し、さらにフレーム5、6の期間でフレームメモリ18を選択する。データ選択スイッチ15は、フレーム1~6の期間の選択動作を1サイクルとしてこの動作を繰り返す。

第16図はディスプレイ部1の表示信号とフレームメモリ16~18の対応例を示すものである。各フレームメモリ16~18は、ディスプレイ部1の画面数と同一のビット数を有し、x方向の番地を1~M、y方向の番地を1~Nとする。MおよびNは、ディスプレイ部1の横画面数および縦画面数に等しい。このフレームメモリと同じ番地をディスプレイ1の画面に与え、今第16図(a)のように $y=1$ 、 $x=1 \sim 4$ の各画面22に階調1~4を順次表

示するものとする。ただし図中で[i]は階調iの意味である。この表示を行うには第一行( $y=1$ )の走査ラインを走査回路14が選擇しているとき、ラインメモリ12の出力の内の表示信号 $S_1 \sim S_4$ は第16図(c)とすればよい。これはこの信号を第13図にあてはめれば、第8図に示した階調1~4の信号が所望の画面で得られるからである。この表示信号 $S_1 \sim S_4$ を与えるには、フレームメモリ16~18の $x=1 \sim 4$ ( $y=1$ )の内容を第16図(b)のようにしておけばよい。即ち図(c)で、フレームメモリ16が選擇されている間は第16図(c)の $S_1 \sim S_4$ はそれぞれ“1”、“1”、“1”、“0”だから、これが $x=1 \sim 4$ 番地に入っている。フレームメモリ17、18も同様である。データ変換回路9は、外部から入力される表示データDをデコードし、第16図(b)の画像データに変換してフレームメモリ16~18に書き込む。

第17図は、本発明の装置の別の具体的構成例を示すもので、これは第10図に示した9階調を表示する。フレームメモリ26、27はデータ選択スイッ

チ29で交互に選択されて読み出され、読み出された表示信号DATAは、ラッチ回路24およびラインメモリ25を経て電圧選択回路に入力される。ラッチ回路24とラインメモリ25は、2ビット単位で表示信号を保持する。

電圧選択回路23は、第10図の各レベルに対応して、 $V_c, V_c \pm V_1, V_c \pm V_2, V_c \pm V_3$ の電圧をラインメモリからの2ビットの表示信号と交流信号ALに応じて、第18図(a)に示したように選択して出力する。このような動作を行うための電圧選択回路23の回路例を第18図(b)に示す。入力信号S1, ALに応じて第18図(a)の出力を得るための対応スイッチ43a~43fの1つをオンとする信号をスイッチ群43へ与えるようにデコーダ42を構成すればよい。データ選択スイッチ29は、第19図に示すように、フレームメモリ26を1サイクルの前半で選択し、後半でフレームメモリ27を選択する。

第20図はディスプレイ部1の表示信号とフレームメモリ26、27との対応例を示すものである。画

面を横M×縦N画素とすると、フレームメモリ26、27は各画素対応に $(2^2, 2^1)$ の2ビットが1つの地に対応して設けられ、従って各フレームメモリ26、27ともに画面の画素数M×Nに対して第20図(a)のように2MNビットから成る。

この装置で、任意の1つの画素に第10図の階調1~9の内の1つを表示するとき、各フレームメモリ26、27の内容は第20図(b)に示されている。例えば階調4のとき、フレームメモリ26の対応ビットは(1, 1)、フレームメモリ27の対応ビットは(0, 0)だから、フレームメモリ26が選択されているフレーム1、2では(第19図)、第18図(a)から明らかなように $S = (1, 1)$ に対する出力 $V_c + V_1, V_c - V_1$ が信号電圧Vdとなり、フレームメモリ27が選択されるフレーム3、4では、 $S = (0, 0)$ に対する出力 $V_c, V_c$ が信号電圧Vdとなる。これは、第10図の階調4の信号波形に一致する。従ってデータ変換回路28は、外部よりの入力データDを、その階調に応じて第20図(b)のように変換し、これをフレームメモリ26、27の該当

する番地へ書き込んでおけばよい。

第21図は、第17図の装置構成でカラー表示装置の場合の画素の割り付けと、フレームメモリ26、27のビット割り付け例を示したものである。第17図のディスプレイ部1に代わってラディディスプレイ部34を設け、これは同一色のカラーフィルタが横方向に配置されたものである。R(赤)、G(緑)、B(青)の3色を1画素とし、横方向がM画素、縦方向がN画素とする。フレームメモリ25、36はやはり第17図のフレームメモリ26、27に代わるもので、これらは第20図(a)に示したフレームメモリ26、27の3倍のビット数を持つ。各フレームメモリ35、36の横方向の番地 $x = 1, 4, 7, \dots$ にRのデータ、 $y = 2, 5, 8, \dots$ にGのデータ、 $z = 3, 6, 9, \dots$ にBのデータが書き込まれている。これらのディスプレイ部34とフレームメモリ35、36を用いれば、第17図の構成でカラー表示が行え、その色数は $9^3 (= 729)$ 色になる。

第22図は、第21図で説明したカラー表示を実現するための、フレームメモリの他の構成例である。

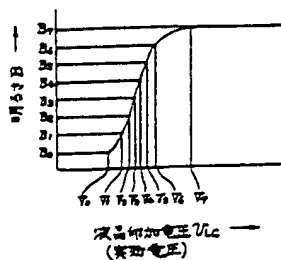
フレームメモリ37は、メモリ37a~37fで構成され、また各々のメモリのビット数は、横方向にMビット、縦方向にNビットと、画素数に等しい。これが第17図のフレームメモリ26、27に代わる部分である。フレームメモリ37a, 37bはRのデータの各々 $2^2, 2^1$ ビットの部分を格納する。他にも2個1組で、同様にG、B各色のデータを格納する。データ選択スイッチ38~40はフレームメモリ37a~37fを選択し、データ選択スイッチ41で、走査のタイミングに同期して、R、G、Bの各フレームメモリを選択する。この構成によっても $9^3$ 色のカラー表示が可能である。

なお、第21図あるいは第22図のカラー表示のための構成では、1つの色、例えばRの走査時には、フレームメモリからその走査ライン上のRの値を信号S1として読みだし、これと交流化信号ALとから電圧選択回路23により対応する信号電圧を選び出して液晶へ印加している。この構成ではどの色に対しても、信号S1が同じ電圧(例えば $V_c + V_1$ )が選ばれて出力される。カラーフィルタ

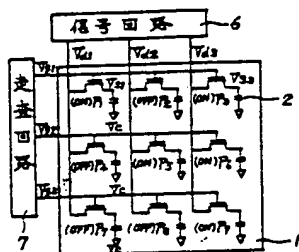




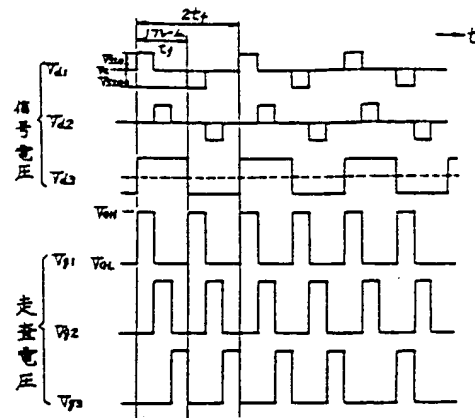
第 2 図



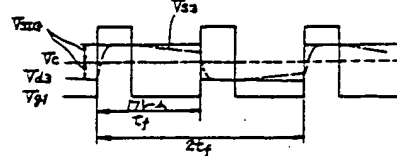
第 3 図



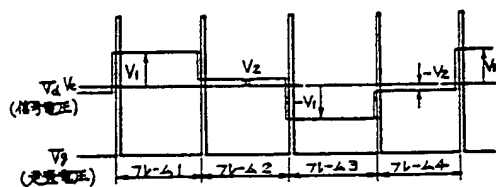
第 4 図



第 5 図

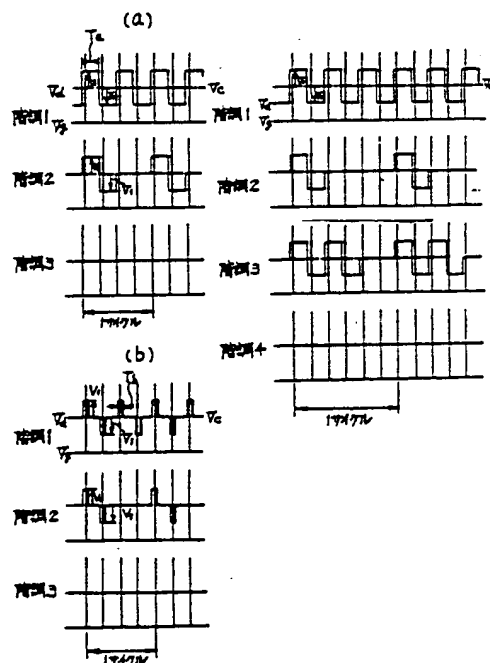


第 6 図

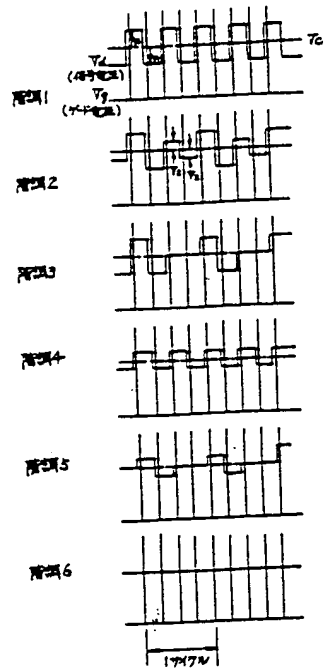


第 7 図

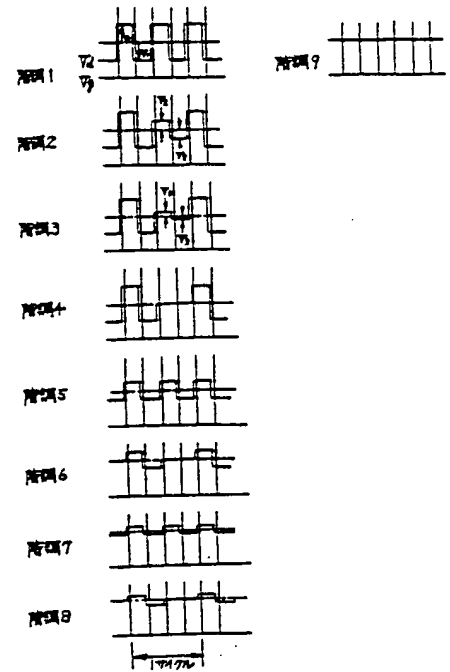
第 8 図



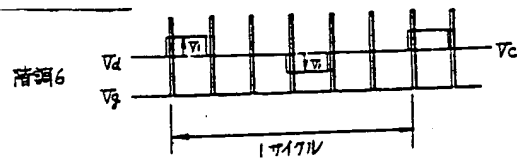
第 9 図



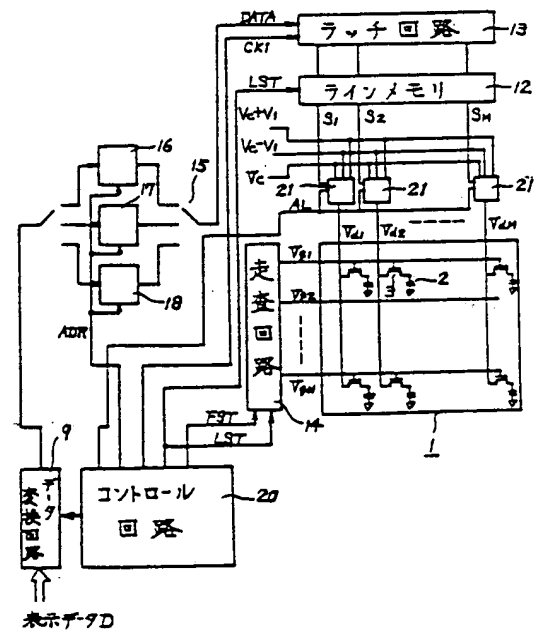
第 10 図



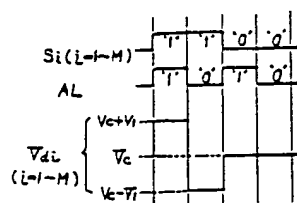
第 11 図



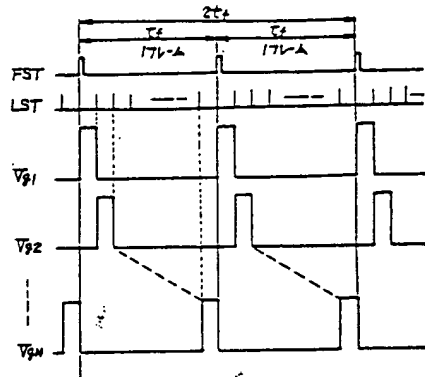
第 12 図



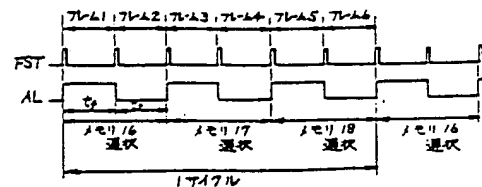
第 13 図



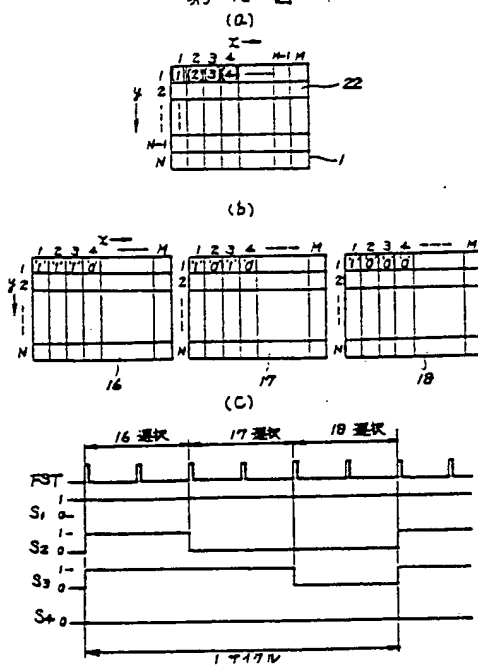
第 14 図



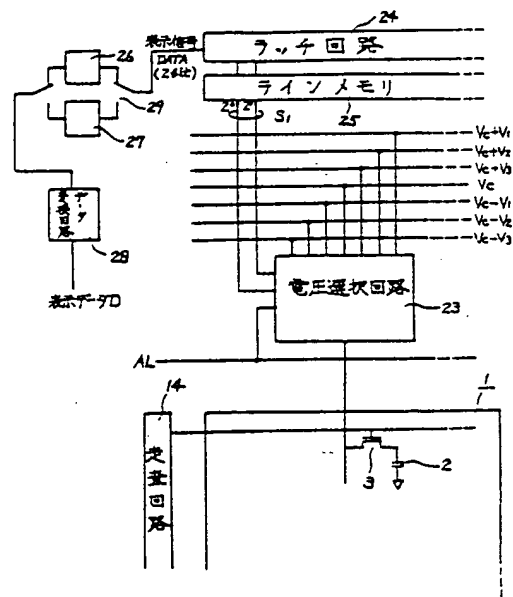
第 15 図



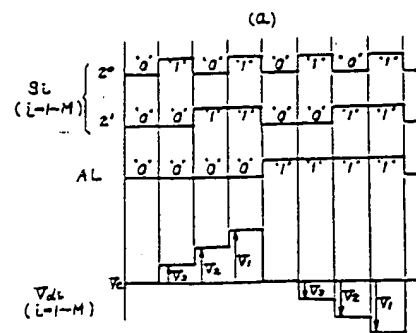
第 16 図



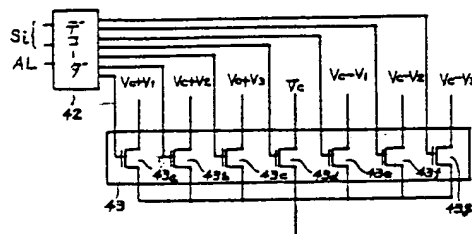
第 17 図



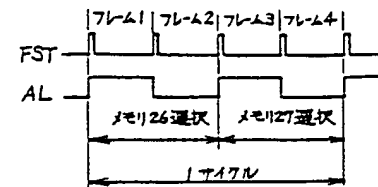
第 18 図



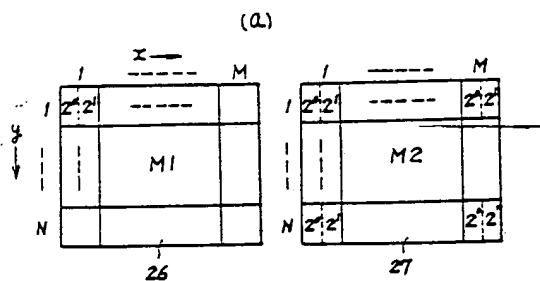
(b)



第 19 図



第 20 図



(b)

メモリ番号	1	2	3	4	5	6	7	8	9
26	2'	1	1	1	1	0	0	1	1
	2'	1	1	1	1	1	1	0	0
27	2'	1	0	1	0	0	0	1	0
	2'	1	1	0	0	1	0	0	0

第 21 図

(a)

	1	2	...	M
1	R11	R21	...	RM1
2	G11	G21	...	GM1
3	B11	B21	...	BM1
...	...	...	...	...
3N-2	R1N	R2N	...	RNM
3N-1	G1N	G2N	...	GMN
3N	B1N	B2N	...	BMN

(b)

